



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0004802
Application Number

출 원 년 월 일 : 2003년 01월 24일
Date of Application JAN 24, 2003

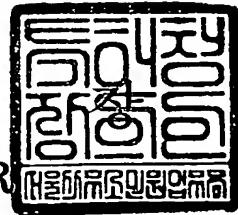
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 10 일

특 허 청

COMMISSIONER





1020030004802

출력 일자: 2003/10/17

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.01.24
【발명의 명칭】	이이피롬 셀 및 그 제조방법
【발명의 영문명칭】	EEPROM CELL AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김영호
【성명의 영문표기】	KIM, YOUNG HO
【주민등록번호】	701108-1789721
【우편번호】	447-050
【주소】	경기도 오산시 부산동 운암주공아풀 109동 1303호
【국적】	KR
【발명자】	
【성명의 국문표기】	신호봉
【성명의 영문표기】	SHIN, HO BONG
【주민등록번호】	660612-1458418
【우편번호】	442-370
【주소】	경기도 수원시 팔달구 매탄동 199-14
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	5	면	5,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】			399,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

이이피롬 셀 및 그 제조방법을 제공한다. 이 이이피롬 셀은 반도체 기판에 형성되어 활성영역을 한정하는 소자분리막과, 활성영역 내에 측방으로 이격되어 형성된 소오스 영역, 매몰 N+ 영역 및 드레인 영역을 갖는다. 매몰 N+ 영역과 드레인 영역 사이의 활성영역 내에 셀 공핍 영역이 형성된다. 셀 공핍 영역 및 상기 매몰 N+ 영역은 측방으로 확산되어 서로 전기적으로 연결된다. 소오스 영역 및 매몰 N+ 영역 사이의 영역 제1 채널영역 및 상기 매몰 N+ 영역 상에 메모리 게이트가 형성되고, 셀 공핍 영역과 상기 드레인 영역 사이의 제2 채널영역 상에 선택 게이트가 형성된다. 매몰 N+ 영역 상에 터널 영역이 위치한다. 터널 영역의 경계로부터 매몰 N+ 영역의 경계까지 측방 거리는 일정하다. 상기 터널 영역은 매몰 N+ 영역을 형성하기 위한 오프닝과 오프닝의 측벽에 형성된 스페이서 패턴을 이용하여 형성할 수 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

이이피롬 셀 및 그 제조방법{EEPROM CELL AND METHOD OF FABRICATING THE SAME}

【도면의 간단한 설명】

도 1 내지 도 3은 종래의 이이피롬 셀 및 그 제조방법을 설명하기 위한 공정단면도들이다.

도 4는 종래의 이이피롬 셀의 문제점을 설명하기 위한 단면도이다.

도 5는 본 발명의 바람직한 실시예에 따른 이이피롬 셀의 평면도이다.

도 6은 도 5의 A-A를 따라 취해진 본 발명의 바람직한 실시예에 따른 이이피롬 셀의 단면도이다.

도 7 내지 도 11은 본 발명의 바람직한 실시예에 따른 이이피롬 셀의 제조방법을 설명하기 위한 공정단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 비휘발성 메모리 소자 및 그 제조방법에 관한 것으로서, 더 구체적으로 메모리 트랜ジ스터와 선택트랜지스터가 직렬로 접속된 FLOTOX(floating gate tunneling oxide) EEPROM 및 그 제조방법에 관한 것이다.

<7> 일반적으로 EEPROM 셀은 EPROM(Erasable programmable read only memory) 셀과 마찬가지로 부유게이트(Floating gate)를 가지며, 부유게이트에 전자를 주입하거나 방출함으로써 데

이터를 기억시킨다. 그러나, EEPROM의 전자 주입 및 방출 방식은 EPROM과 비교하여 매우 다른 방법을 채택하고 있다.

<8> EPROM에서는 플로팅 게이트로의 전자의 주입이 소오스, 드레인간을 흐르는 전자중에서 에너지가 높은 열 전자(hot electron)에 의하여 진행되고, 전자 방출은 자외선의 에너지를 이용하였다. 이에 비하여, EEPROM에서 플로팅 게이트로의 전자의 주입 및 방출은 얇은 터널절연막을 통하여 발생하는 터널링을 사용한다. 즉, 터널산화막의 양단에 10MeV/cm 안팎의 고전계를 인가하게 되면, 터널절연막을 통하여 전류가 흐르게 되는데, 이를 FN터널링(Follow-Nordheim tunneling)이라고 한다. EEPROM에서의 전자의 주입 및 방출은 상술한 FN 터널링을 이용한다.

<9> EEPROM 메모리 중에서 특히, FLTOX형의 메모리는 2개의 트랜지스터, 즉, 셀을 선택하기 위한 선택 트랜지스터(Selection Transistor)와, 데이터를 저장하는 메모리 트랜지스터(Memory transistor)1가 하나의 메모리 셀을 구성한다. 메모리 트랜지스터는 전하를 저장하는 부유게이트와 메모리 트랜지스터를 제어하기 위한 제어 게이트 전극 및 이들 사이에 개재된 게이트 층간유전막으로 구성된다.

<10> 도 1 내지 도 3는 종래의 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도 들이다.

<11> 도 1을 참조하면, 반도체 기판(10) 상에 제1 포토레지스트 패턴(14)을 형성한다. 상기 포토레지스트 패턴(14)은 상기 반도체 기판(10)의 소정영역을 노출시키는 오프닝을 가진다.

<12> 상기 제1 포토레지스트 패턴(14)을 이온주입 마스크로 사용하여 상기 반도체 기판(10) 내에 불순물을 주입하여 매몰 N+ 영역(16)을 형성한다.

<13> 도 2를 참조하면, 상기 제1 포토레지스트 패턴(14)을 제거하고, 상기 반도체 기판(10) 상에 게이트 산화막(12)을 형성한다. 상기 게이트 산화막(12) 상에 제2 포토레지스트 패턴(15)을 형성한다. 상기 제2 포토레지스트 패턴(15)은 상기 매몰 N+ 영역(16)의 상부에 상기 게이트 산화막(12)을 노출시키는 오프닝을 갖는다. 상기 제2 포토레지스트 패턴(15)을 식각마스크로 사용하여 상기 오프닝에 노출된 게이트 산화막(12)을 제거하여 터널 영역(20)을 한정한다.

<14> 도 3을 참조하면, 상기 제2 포토레지스트 패턴(15)을 제거하고, 상기 터널 영역(20)에 터널산화막(22)을 형성한다. 계속해서, 상기 터널 산화막(22) 및 상기 게이트 산화막(12)이 형성된 기판 상에 부유게이트 패턴(24a), 게이트 충간 유전막(inter-gate dielectric; 30a) 및 제어 게이트 전극(32a)이 적층된 메모리 게이트(34)를 형성하고, 상기 메모리 게이트(34)로 부터 측방으로 이격된 선택 게이트(36)를 형성한다. 상기 선택 게이트(36)는 하부 선택 게이트(24b), 충간유전막(30b) 및 상부 선택 게이트(32b)가 적층되고, 상기 하부 선택 게이트(24b) 및 상기 상부 선택 게이트(32b)은 도시되지는 않았지만 서로 전기적으로 접속된다.

<15> 종래의 이이피롬 셀은 매몰 N+ 영역(16) 및 터널 영역(20)이 각각 다른 단계에서 사진공정에 의해 정의되었다. 따라서, 사진공정의 오정렬에 의해 터널 영역(20)이 일방향으로 쉬프트될 수 있다. 도 4는 디자인된 레이아웃과 달리 터널 영역(20)이 일 방향으로 쉬프트되어 형성된 이이피롬 셀을 나타낸다. 도면에서 터널 영역(20)이 우측으로 소정 거리(a) 쉬프트 될 경우, 좌측 셀의 매몰 N+ 영역(16)의 경계는 터널 산화막(22)에 근접한다. 매몰 N+ 영역(16)은 고농도로 도우평되기 때문에 두께가 얇은 터널 산화막(22)에 그 경계가 인접할 경우, 매몰 N+ 영역(16)에 고전압이 인가되는 기입과정에서 밴드간 터널링(band to band tunneling)에 의한 기입불량이 발생할 수 있다. 오정렬이 더욱 심해질 경우 터널 산화막(22)과 매몰 N+ 영역(16)

의 중첩영역이 줄어들어 기입 및 소거 불량이 발생하고, 그 결과, 메모리 셀의 온/오프 센싱 여유도가 떨어질 수 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자 하는 기술적 과제는 터널산화막이 매몰 N+ 영역 상부에서 일방향으로 쉬프트 되지 않은 이이피롬 셀 및 그 제조방법을 제공한다.

<17> 본 발명이 이루고자 하는 다른 기술적 과제는 매몰 N+ 영역에 고전압이 인가되는 기입 또는 소거 동작시 터널 산화막 하부에서 밴드간 터널링칩 발생이 억제된 이이피롬 셀 및 그 제조방법을 제공한다.

【발명의 구성 및 작용】

<18> 상기 기술적 과제들은 스페이서에 의해 매몰 N+ 영역 상에 터널 산화막을 정렬시킨 이이피롬 셀 및 그 제조방법에 의해 제공될 수 있다. 이 이이피롬 셀은 반도체 기판에 형성되어 활성영역을 한정하는 소자분리막과, 상기 활성영역 내에 측방으로 이격되어 형성된 소오스 영역, 매몰 N+ 영역 및 드레인 영역을 포함한다. 상기 매몰 N+ 영역과 상기 드레인 영역 사이의 상기 활성영역 내에 셀 공핍 영역이 형성된다. 상기 셀 공핍 영역 및 상기 매몰 N+ 영역은 측방으로 확산되어 서로 전기적으로 연결된다. 상기 소오스 영역 및 상기 매몰 N+ 영역 사이의 영역은 제1 채널영역으로 정의할 수 있고, 상기 셀 공핍 영역과 상기 드레인 영역 사이의 영역은 제2 채널영역으로 정의할 수 있다. 상기 제1 채널영역 및 상기 매몰 N+ 영역 상에 메모리 게이트가 형성되고, 상기 제2 채널 영역 상에 선택 게이트가 형성된다. 상기 매몰 N+ 영역 상에 터널 영역이 위치한다. 상기 터널 영역의 경계로부터 상기 매몰 N+ 영역의 경계까지 측방거리 (lateral distance)는 일정하다.

<19> 이 이이피롬 셀의 제조방법은 반도체 기판에 소자분리막을 형성하여 활성영역을 한정하고, 상기 활성영역 상에 게이트 산화막을 형성하는 것을 포함한다. 상기 게이트 산화막 상에 오프닝을 갖는 마스크 패턴을 형성한다. 상기 마스크 패턴을 이온주입 마스크로 사용하여 상기 활성영역 내에 매몰 N+ 영역을 형성한다. 상기 오프닝의 측벽에 스페이서 패턴을 형성한다. 상기 오프닝 내의 상기 스페이서 패턴으로 한정된 영역은 터널영역이 된다. 상기 마스크 패턴 및 상기 스페이서 패턴을 식각마스크로 사용하여 상기 터널 영역의 게이트 산화막을 제거한다. 상기 마스크 패턴 및 상기 스페이서 패턴을 제거하고, 상기 터널영역에 터널 산화막을 형성한다. 계속해서 통상적인 공정을 적용하여 상기 매몰 N+ 영역 상부에 메모리 게이트를 형성함과 동시에 상기 메모리 게이트로 부터 측방으로 이격된 선택 게이트를 형성한다.

<20> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<21> 도 5는 본 발명의 바람직한 실시예에 따른 이이피롬 셀의 평면도이다.

<22> 도 6은 도 5의 A-A를 따라 취해진 본 발명의 바람직한 실시예에 따른 이이피롬 셀의 단면도이다.

<23> 도 5 및 도 6을 참조하면, 본 발명에 따른 이이피롬 셀은 한쌍의 셀이 소오스 영역(80)의 양측에 대칭적으로 배치되어 상기 소오스 영역(80)을 공유한다. 터널산화막(62)이 형성된 터널 영역(60)의 경계로부터 매몰 N+ 영역(56)의 경계에 이르는 측방 거리는 일정하다.

<24> 반도체 기판(50)에 소자분리막(53)이 배치된다. 상기 소자분리막(53)은 서로 교차하는 활성영역을 한정한다. 하나의 이이피롬 셀은 상기 활성영역 상에 서로 이격되어 배치된 메모리 트랜지스터 및 선택 트랜지스터를 포함한다. 상기 메모리 트랜지스터의 게이트, 즉 메모리 게이트(74)는 상기 활성영역 상에 형성된 부유게이트(64a)와 상기 부유게이트(64a) 상부에 형성된 제어게이트 전극(72a)을 포함한다. 상기 상기 제어게이트 전극(72a)과 상기 부유게이트(64a) 사이에 게이트 층간 유전막(70a)이 개재되고, 상기 부유게이트(64a)와 상기 활성영역 사이에 게이트 산화막(52)이 개재된다. 상기 부유게이트(64a)와 상기 활성영역 사이에는 터널 영역(60)이 정의되는데, 상기 터널 영역(60)에는 얇은 게이트 산화막, 즉 터널 산화막(62)이 개재된다. 상기 제어 게이트 전극(72a)은 상기 소자분리막(53)의 상부를 가로지른다. 상기 부유게이트(64a) 하부의 상기 활성영역 내에는 매몰 N+ 영역(56)이 형성된다. 더 구체적으로, 상기 매몰 N+ 영역(56)은 상기 터널 영역(60)을 포함하는 영역, 상기 터널 영역(60)보다 넓은 영역에 형성된다. 상기 터널 영역(60)의 경계로부터 상기 매몰 N+ 영역(56)의 경계에 이르는 측방향의 거리(b)는 일정하다.

<25> 상기 선택 트랜지스터의 게이트, 즉 선택 게이트(76)는 상기 활성영역 상부를 가로지르며, 차례로 적층된 하부 선택 게이트(64b), 층간유전막(70b) 및 상부 선택 게이트(72b)를 포함한다. 도시되진 않았지만, 상기 하부 선택 게이트(64b) 및 상기 상부 선택 게이트(72b)는 버팅 콘택 또는 콘택 홀 등의 상기 층간유전막(70b)을 통하는 연결 수단에 의해 전기적으로 접속된다.

<26> 상기 메모리 게이트(74) 및 상기 선택 게이트(76)는 활성영역을 3영역으로 나눈다. 상기 메모리 게이트(74) 및 상기 선택 게이트(76) 사이의 영역 내에는 셀 공핍 영역(78)이 형성되고, 상기 셀 공핍 영역(78) 양측의 영역 내에는 소오스 영역(80) 및 드레인 영역(82)이 각각 형성된다. 상기 소오스 영역(80)은 상기 메모리 게이트(74)에 인접한 활성영역 내에 형성되고, 상기 드레인 영역(82)은 상기 선택 게이트(76)에 인접한 활성영역 내에 형성된다. 상기 소오스 영역(80)은 상기 소자분리막(53)과 교차하는 방향으로 한정된 활성영역 내에 형성되어 소자분리막(53)에 의해 격리된 셀들에 병렬로 접속된다.

<27> 도 7 내지 도 11은 본 발명의 바람직한 실시예에 따른 이이피롬 셀의 제조방법을 설명하기 위한 공정단면도들이다.

<28> 도 7을 참조하면, 반도체 기판(50) 상에 게이트 산화막(52)을 형성하고, 상기 게이트 산화막(52) 상에 오프닝을 갖는 마스크 패턴(54)을 형성한다. 상기 게이트 산화막(52)은 250Å 내지 350Å 정도의 두께로 형성하는 것이 바람직하다. 상기 마스크 패턴(54)을 이온 주입 마스크로 사용하여 상기 반도체 기판(50) 내에 불순물을 주입하여 매몰 N⁺ 영역(56)을 형성한다.

<29> 도 8을 참조하면, 상기 마스크 패턴(54) 상에 스페이서 절연막을 콘포말하게 형성하고, 상기 스페이서 절연막을 이방성 식각하여 상기 오프닝의 측벽에 스페이서 패턴(58)을 형성한다. 상기 스페이서 패턴(58)은 상기 매몰 N⁺ 영역(56) 상에 터널 영역(60)을 한정한다. 상기 마스크 패턴(54) 및 상기 스페이서 패턴(58)은 상기 게이트 산화막(52)과 식각선택비를 갖는 물질로써, 예컨대 실리콘 질화막으로 형성하는 것이 바람직하다. 상기 마스크 패턴(54) 및 상기 스페이서 패턴(58)을 식각마스크로 사용하여 상기 터널 영역(60)의 게이트 산화막을 제거한다.

<30> 도 9를 참조하면, 상기 스페이서 패턴(58) 및 상기 마스크 패턴(54)을 제거한다. 상기 스페이서 패턴(58) 및 상기 마스크 패턴(54)은 습식식각법을 사용하여 제거할 수 있다. 본 발

명에서 상기 터널 영역(60)의 가장자리는 상기 스페이서 패턴(58)의 가장자리에 정렬된다. 따라서, 상기 터널 영역(60)의 경계로부터 상기 매몰 N+ 영역(56)의 경계에 이르는 측방 거리(b)를 일정하게 할 수 있다. 또한, 스페이서 패턴(58)의 폭을 조절함으로써 그 측방 거리를 조절할 수 있다. 도시된 것과 같이, 서로 대칭으로 형성되는 한쌍의 메모리 셀에서 종래기술과 같은 쉬프트현상이 일어나지 않는 것이 보여진다.

<31> 상기 터널 영역(60)에 터널 산화막(62)을 형성한다. 상기 터널 산화막(62)은 상기 기판을 산소분위기에서 열산화함으로써 형성할 수 있다. 이 때, 터널 산화막(62)과 기판 사이의 계면 트랩 밀도를 낮추기 위하여 상기 터널 산화막(62) 형성공정은 2단계로 실시할 수 있다. 즉, 상기 터널 산화막(62) 형성공정은 상기 기판을 산소분위기에서 열산화하는 1단계와, 상기 NO 및 N₂O 중 선택되어진 하나의 분위기에서 열산화하는 2단계로 구성된다. 2 단계 열산화 공정동안 NO 또는 N₂O의 질소 원자가 산화막과 상기 기판의 계면에 패시베이션되어 계면 트랩 밀도가 낮은 터널 산화막(62)을 형성할 수 있다.

<32> 도 10을 참조하면, 상기 터널 산화막(62)이 형성된 반도체 기판 상에 통상의 방법을 사용하여 부유게이트 패턴(64a) 및 하부 선택 게이트(64b)를 형성한다. 상기 부유게이트 패턴(64a)은 상기 매몰 N+ 영역(56) 및 그 주변영역 상부에 형성된다. 상기 부유게이트 패턴(64a)의 일부분은 상기 활성영역에 인접한 소자분리막(도 5의 53) 상에 중첩되고, 상기 하부 선택 게이트(64b)는 상기 소자분리막(도 5의 53)을 가로질러 다수의 활성영역들 상부를 가로지른다.

<33> 도 11을 참조하면, 계속해서 통상의 이이피롬 형성방법을 적용하여 상기 부유게이트 패턴(64a)의 상부에 제어게이트 전극(72a)을 형성하고, 상기 하부 선택 게이트(64b) 상부에 상부 선택 게이트(72b)를 형성한다. 상기 부유게이트 패턴(64a)과 상기 제어게이트 전극(72a) 사이

에는 게이트 층간 유전막(70a)이 개재되고, 상기 하부 선택 게이트(64b)와 상기 상부 선택 게이트(72b) 사이에는 층간 유전막(70b)이 개재된다.

<34> 상기 상부 선택 게이트(72b)는 상기 하부 선택 게이트(64b) 상의 상기 층간 유전막(70b)의 일부분을 식각한 후 형성함으로써, 상기 하부 선택 게이트(64b)와 전기적으로 접속되도록 형성할 수 있다. 이와 다른 방법으로, 통상의 버팅 콘택 형성공정을 적용하여 상기 하부 선택 게이트(64b) 및 상기 상부 선택 게이트(72b)를 전기적으로 접속시킬 수도 있다.

【발명의 효과】

<35> 상술한 것과 같이 본 발명에 따르면, 이이피롬 셀의 터널 산화막이 형성될 영역인 터널 영역을 형성함에 있어서, 매몰 N+ 영역 형성을 위한 이온주입 마스크로 사용된 마스크 패턴의 오프닝의 측벽에 스페이서 패턴을 형성하고, 상기 스페이서 패턴 및 상기 마스크 패턴을 식각 마스크로 사용하여 터널 영역을 형성한다. 따라서, 터널 영역의 경계로부터 매몰 N+ 영역의 경계에 이르는 측방거리를 일정하게 제어할 수 있다. 그 결과, 매몰 N+ 영역과 터널 영역의 오정렬로 인해 유발되는 기입 및 소거 불량을 막을 수 있고, 판독 여유도가 넓은 이이피롬 셀을 제조할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판에 형성되어 활성영역을 한정하는 소자분리막;

상기 활성영역 내에 측방으로 이격되어 형성된 소오스 영역, 매몰 N+ 영역 및 드레인 영역;

상기 매몰 N+ 영역과 상기 드레인 영역 사이의 상기 활성영역 내에 형성되고, 상기 매몰 N+ 영역과 전기적으로 연결된 셀 공핍 영역;

상기 소오스 영역 및 상기 매몰 N+ 영역 사이에 정의된 제1 채널영역;

상기 셀 공핍 영역과 상기 드레인 영역 사이에 정의된 제2 채널영역;

상기 제1 채널영역 및 상기 매몰 N+ 영역 상에 형성된 메모리 게이트;

상기 제2 채널 영역 상에 형성된 선택 게이트; 및

상기 매몰 N+ 영역 상에 위치하는 터널 영역에 형성된 터널 산화막을 포함하되,

상기 터널 영역의 경계로부터 상기 매몰 N+ 영역의 경계까지 측방향의 거리는 일정한 것을 특징으로 하는 이이피롬 메모리 셀.

【청구항 2】

제1 항에 있어서,

상기 메모리 게이트는,

부유게이트;

상기 부유게이트 상에 형성된 게이트 충간 유전막(inter-gate dielectric); 및
상기 게이트 충간 유전막 상에 형성된 제어게이트 전극을 포함하는 것을 특징으로 하는
이이피롬 메모리 셀.

【청구항 3】

제1 항에 있어서,
상기 선택 게이트는,
하부 선택 게이트;
상기 하부 선택 게이트 상에 형성된 충간 유전막; 및
상기 충간 유전막 상에 형성된 상부 선택 게이트를 더 포함하되,
상기 상부 선택 게이트 및 상기 하부 선택 게이트는 전기적으로 접속된 것을 특징으로
하는 이이피롬 메모리 셀.

【청구항 4】

반도체 기판에 소자분리막을 형성하여 활성영역을 한정하는 단계;
상기 활성영역 상에 게이트 산화막을 형성하는 단계;
상기 게이트 산화막 상에 오프닝을 갖는 마스크 패턴을 형성하는 단계;
상기 마스크 패턴을 이온주입 마스크로 사용하여 상기 활성영역 내에 매몰 N+ 영역을
형성하는 단계;
상기 오프닝의 측벽에 스페이서 패턴을 형성하여 터널영역을 한정하는 단계;
상기 마스크 패턴 및 상기 스페이서 패턴을 식각마스크로 사용하여 상기 터널 영역의
게이트 산화막을 제거하는 단계;

상기 마스크 패턴 및 상기 스페이서 패턴을 제거하는 단계;

상기 터널영역에 터널 산화막을 형성하는 단계; 및

상기 매몰 N+ 영역 상부에 메모리 게이트를 형성함과 동시에 상기 메모리 게이트로 부터 측방으로 이격된 선택 게이트를 형성하는 단계를 포함하는 이이피롬 셀의 제조방법.

【청구항 5】

제4 항에 있어서,

상기 메모리 게이트 및 상기 선택 게이트를 이온주입 마스크로 사용하여 상기 활성영역 내에 소오스 영역, 셀 공핍 영역 및 드레인 영역을 형성하는 단계를 더 포함하되, 상기 셀 공핍 영역은 상기 메모리 게이트 및 상기 선택 게이트으로 나뉘어진 3 영역 중, 상기 메모리 게이트 및 상기 선택 게이트 사이의 활성영역에 형성되어 상기 매몰 N+ 영역과 전기적으로 접속되고, 상기 소오스 영역 및 상기 드레인 영역은 상기 메모리 게이트 및 상기 선택 게이트에 인접한 다른 두 영역에 각각 형성되는 것을 특징으로 하는 이이피롬 셀의 제조방법.

【청구항 6】

제4 항에 있어서,

상기 마스크 패턴 및 상기 스페이서 패턴은 실리콘 질화막으로 형성하는 것을 특징으로 하는 이이피롬 셀의 제조방법.

【청구항 7】

제4 항에 있어서,

상기 터널영역의 게이트 산화막은 습식식각법을 사용하여 제거하는 것을 특징으로 하는
이이피롬 셀의 제조방법.

【청구항 8】

제4 항에 있어서,

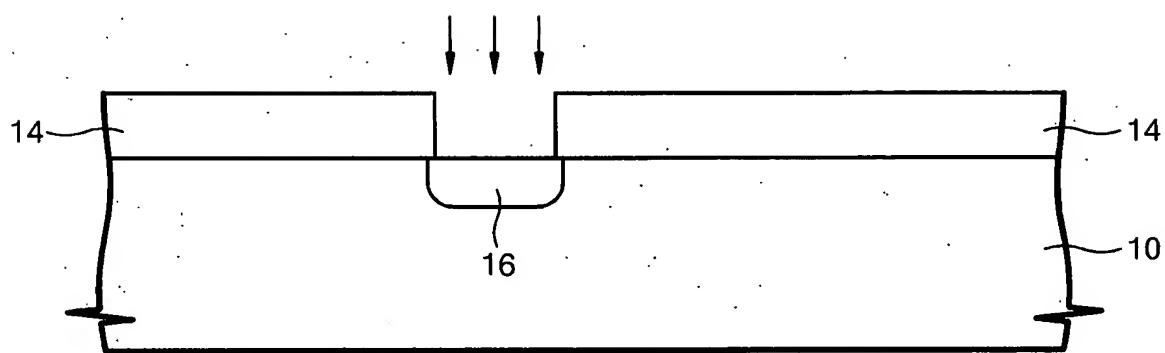
상기 터널 산화막을 형성하는 단계는,

상기 반도체 기판을 산소 분위기에서 열산화하는 1 단계; 및
상기 반도체 기판을 NO 및 N₂O 중 선택되어진 하나의 분위기에서 열산화하는 2 단계를
포함하는 것을 특징으로 하는 이이피롬 셀의 제조방법.

【도면】

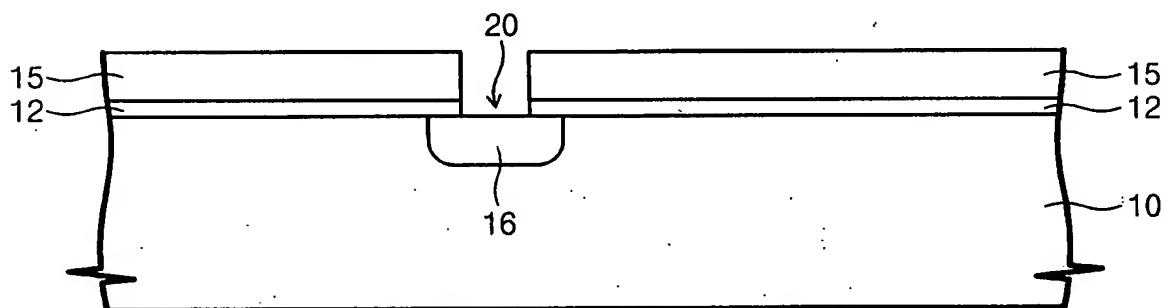
【도 1】

(종래 기술)



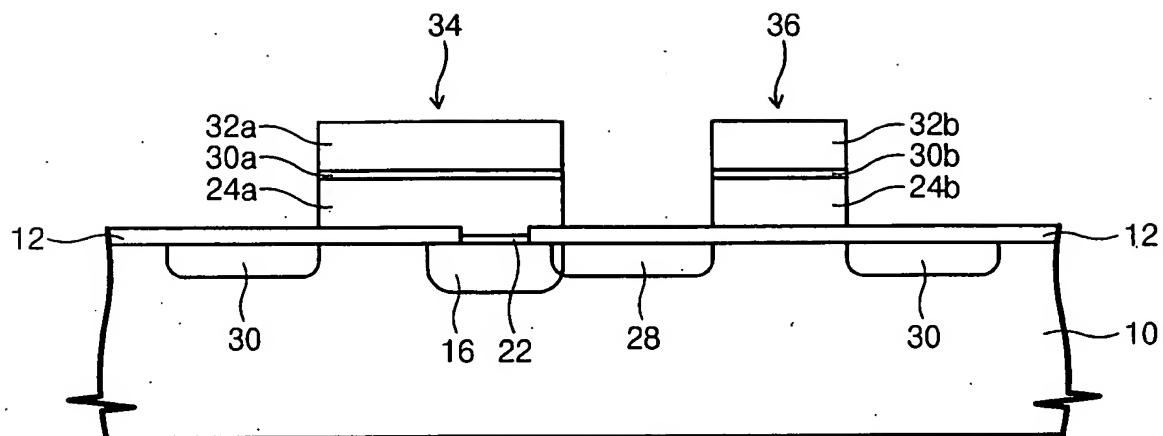
【도 2】

(종래 기술)

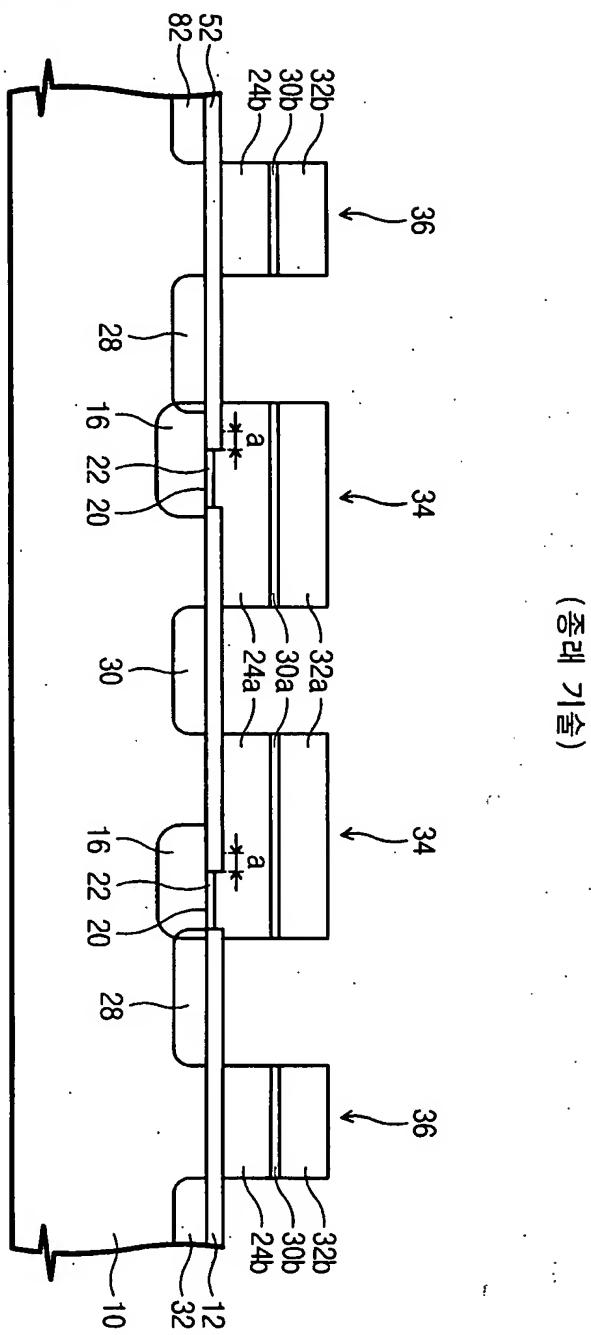


【도 3】

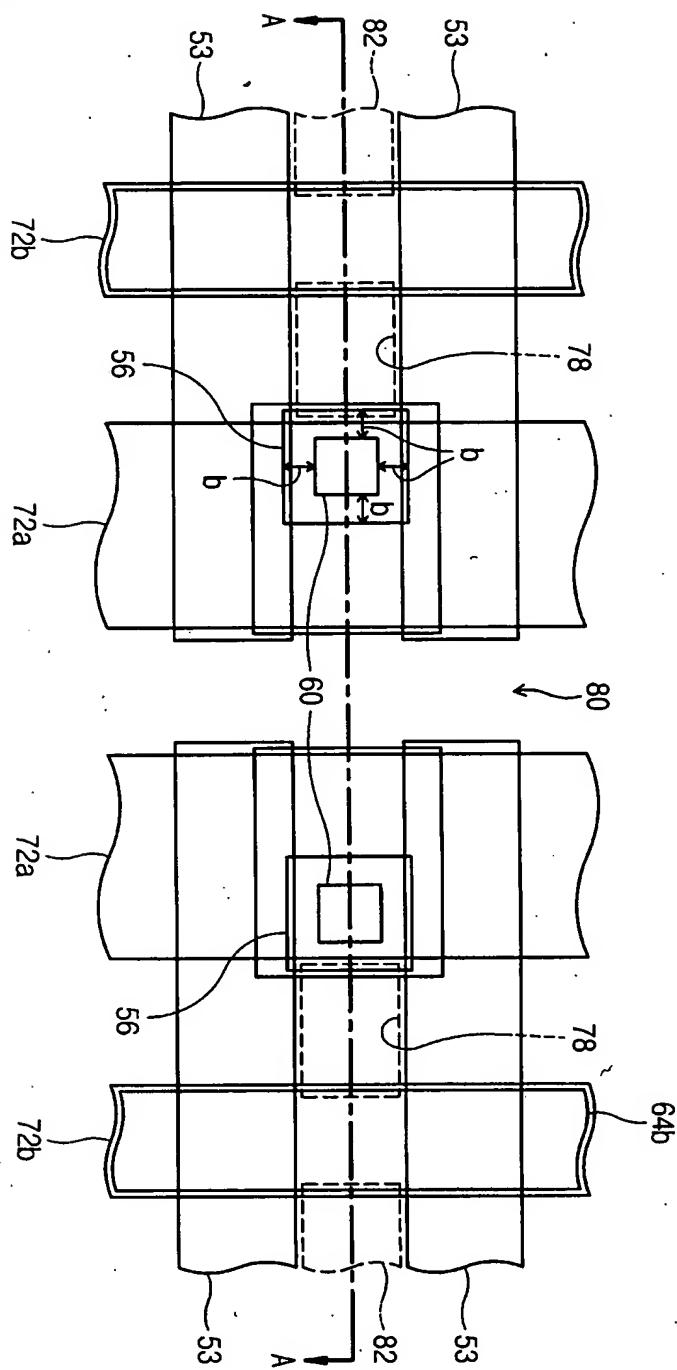
(종래 기술)



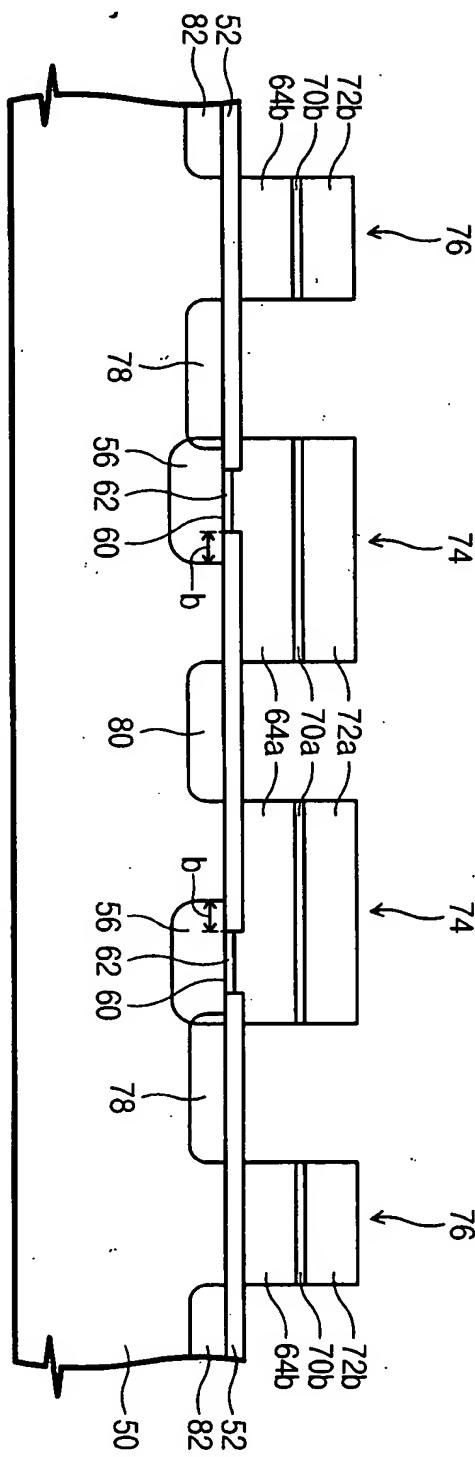
【도 4】



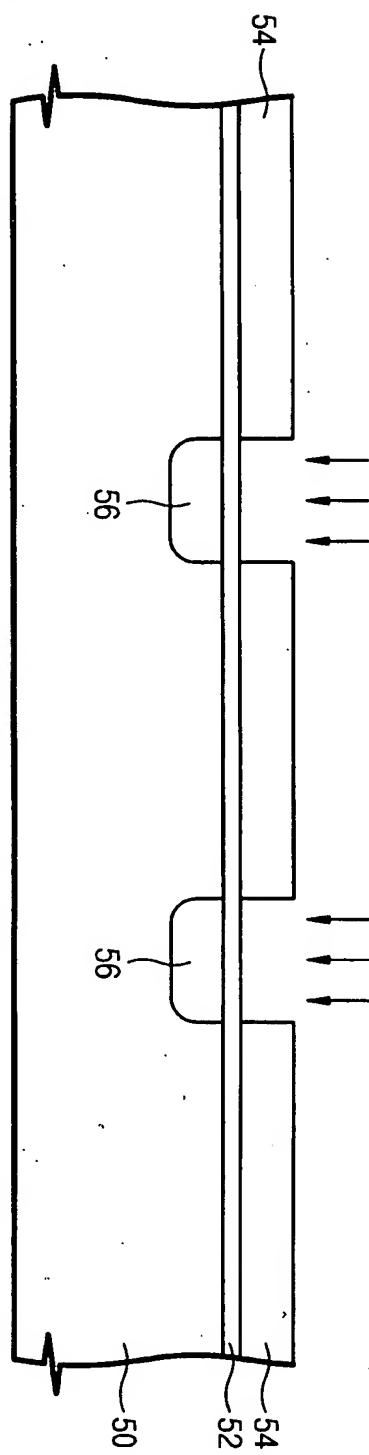
【도 5】



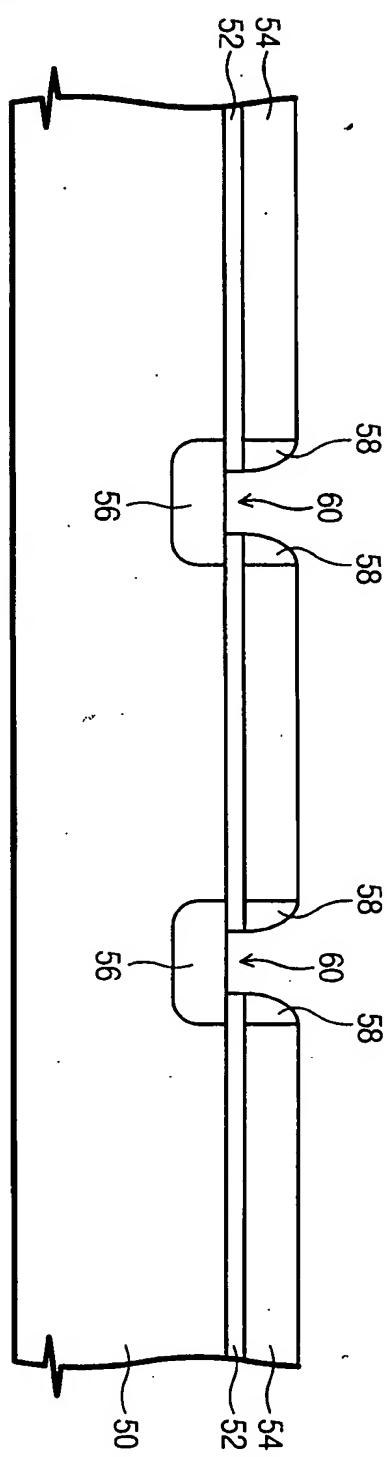
【도 6】



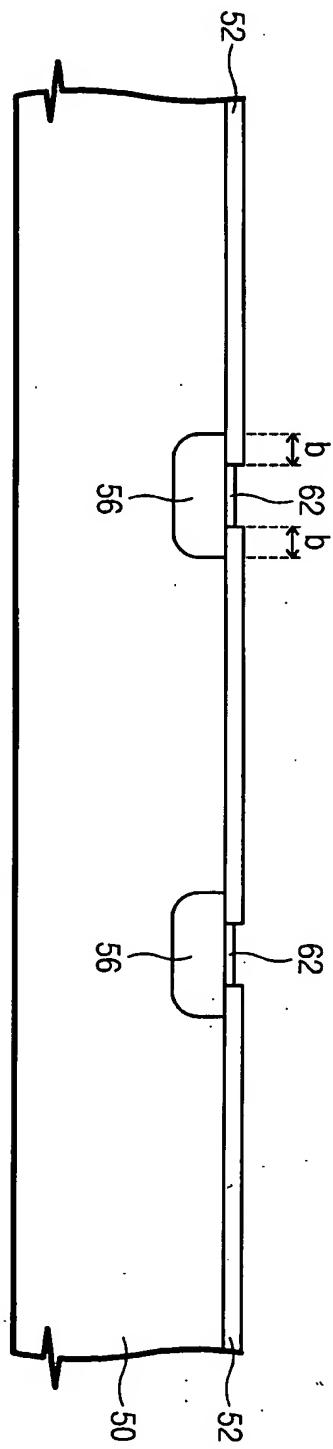
【도 7】



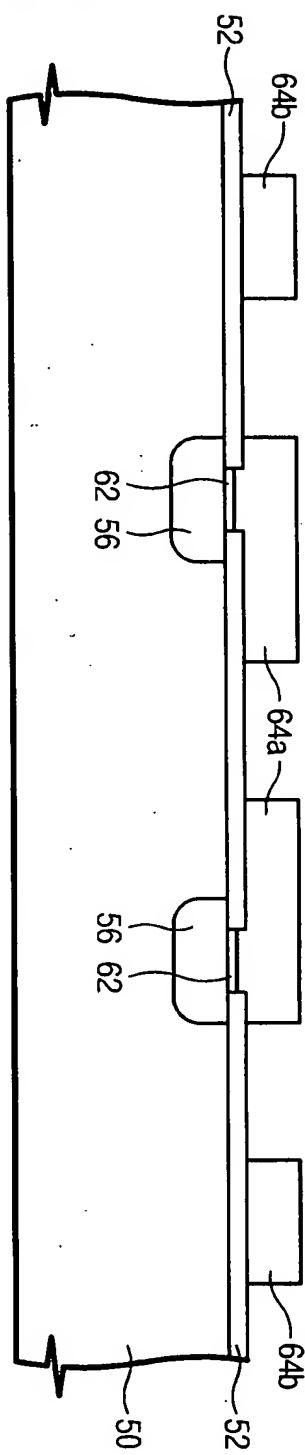
【도 8】



【도 9】



【도 10】



【도 11】

